LAMPIRAN

- **File Unit1.pas**

```
unit Unit1;

interface

uses
  Windows, Messages, SysUtils, Classes, Graphics, Controls, Forms, Dialogs,
  StdCtrls, ExtCtrls;
  {$APPTYPE CONSOLE}
type
  TForm1 = class(TForm)
    Button1: TButton;
    MULAI: TEdit;
    Label1: TLabel;
    Label2: TLabel;
    Label4: TLabel;
    Label6: TLabel;
    Label7: TLabel;
    Label8: TLabel;
    Label12: TLabel;
    Label3: TLabel;
    Label5: TLabel;
    Label9: TLabel;
    Label10: TLabel;
    Label11: TLabel;
    Label13: TLabel;
    Label14: TLabel;
    Label15: TLabel;
    Label16: TLabel;
    Label17: TLabel;
    Button2: TButton;
    procedure Button1Click(Sender: TObject);
    procedure Button2Click(Sender: TObject);


    { procedure FormCreate(Sender: TObject);}
  private
    { Private declarations }
  public
    function ASM_REKAM:integer;pascal;
  end;

var
```

```
 Form1: TForm1;
  BANTU: ARRAY [1..5] OF INTEGER;
  P: ^INTEGER;
implementation


 {$R *.DFM}
function TForm1.ASM_REKAM:integer;pascal;


var Hp:integer; label Lc;
begin
asm
mov dx,303h
mov al,90h
out dx,al
mov dx,302h
mov al,0h
out dx,al
mov dx,302h
mov al,0f0h
out dx,al
mov Hp,0f4240h
@lb:
Lc: sub Hp,2
cmp Hp,0
jng @Akh
mov dx,300h
in al,dx
mov CL,al   { }

mov dx,301h
mov al,CL
out dx,al

jmp @lb
@Akh:
XOR CH,CH
MOV EDX,ECX
MOV EAX,EDX
mov @result,eAx
end;

end;

procedure TForm1.Button1Click(Sender: TObject);
```

```
var      H,HH:INTEGER;P,P1:^INTEGER;
BEGIN
MULAI.text:='MULAI';
bantu[1] := ASM_REKAM; ;
MULAI.text:= inttostr(BANTU[1]);
LABEL6.CAPTION :=MULAI.text ;

MULAI.text:='MULAI';
bantu[2]:= ASM_REKAM; ;
MULAI.text:= inttostr(BANTU[2]);
LABEL7.CAPTION :=MULAI.text ;

MULAI.text:='MULAI';
bantu[3] := ASM_REKAM; ;
MULAI.text:= inttostr(BANTU[3]);
LABEL8.CAPTION :=MULAI.text ;

MULAI.text:='MULAI';
bantu[4] := ASM_REKAM; ;
MULAI.text:= inttostr(BANTU[4]);
LABEL9.CAPTION :=MULAI.text ;

MULAI.text:='MULAI';
bantu[5] := ASM_REKAM; ;
MULAI.text:= inttostr(BANTU[5]);
LABEL10.CAPTION :=MULAI.text ;

P^:=5;
H:=((BANTU[1])+(BANTU[2])+(BANTU[3])+(BANTU[4])+(BANTU[5]));
MULAI.text:='MULAI';
MULAI.text:= floatToStr((H/5)/); ;
LABEL12.CAPTION :=MULAI.text ;

end;

procedure TForm1.Button2Click(Sender: TObject);
begin
CLOSE;
end;

end.
```

- **File Project1**

```
program Project1;

uses
  Forms,
  Unit1 in 'Unit1.pas' {Form1};

{$R *.RES}

begin
  Application.Initialize;
  Application.CreateForm(TForm1, Form1);
  Application.Run;
end.
```

- **File Project1,dof**

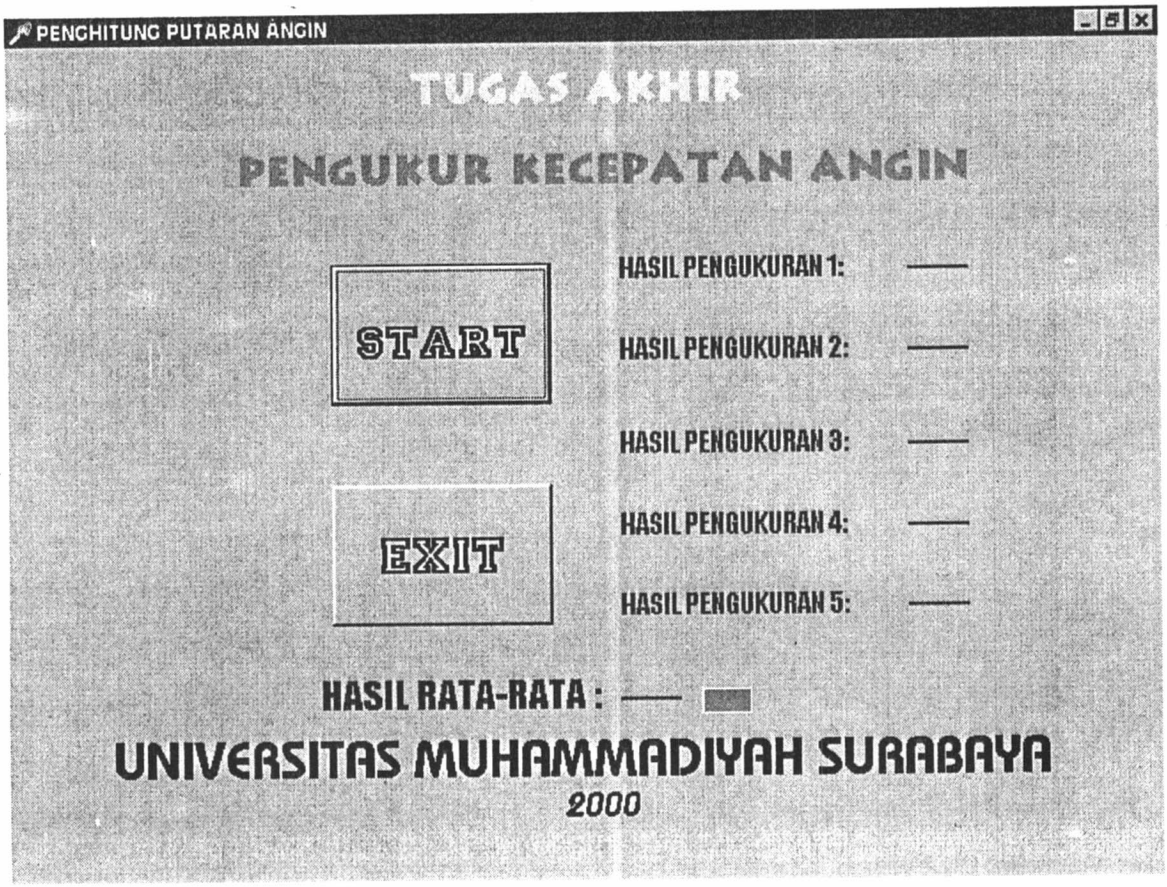
```
[Compiler]
A=1
B=0
C=1
D=1
E=0
F=0
G=1
H=1
I=1
J=1
K=0
L=1
M=0
N=1
O=1
P=1
Q=0
R=0
S=0
T=0
U=0
V=1
W=0
X=1
Y=0
Z=1
ShowHints=1
ShowWarnings=1
UnitAliases=WinTypes=Windows;WinProcs=Windows;DbiTypes=BDE;DbiProc
s=BDE;DbiErrs=BDE;

[Linker]
MapFile=0
OutputObjs=0
ConsoleApp=0
DebugInfo=0
RemoteSymbols=0
MinStackSize=16384
MaxStackSize=1048576
ImageBase=4194304
ExeDescription=

[Directories]
```

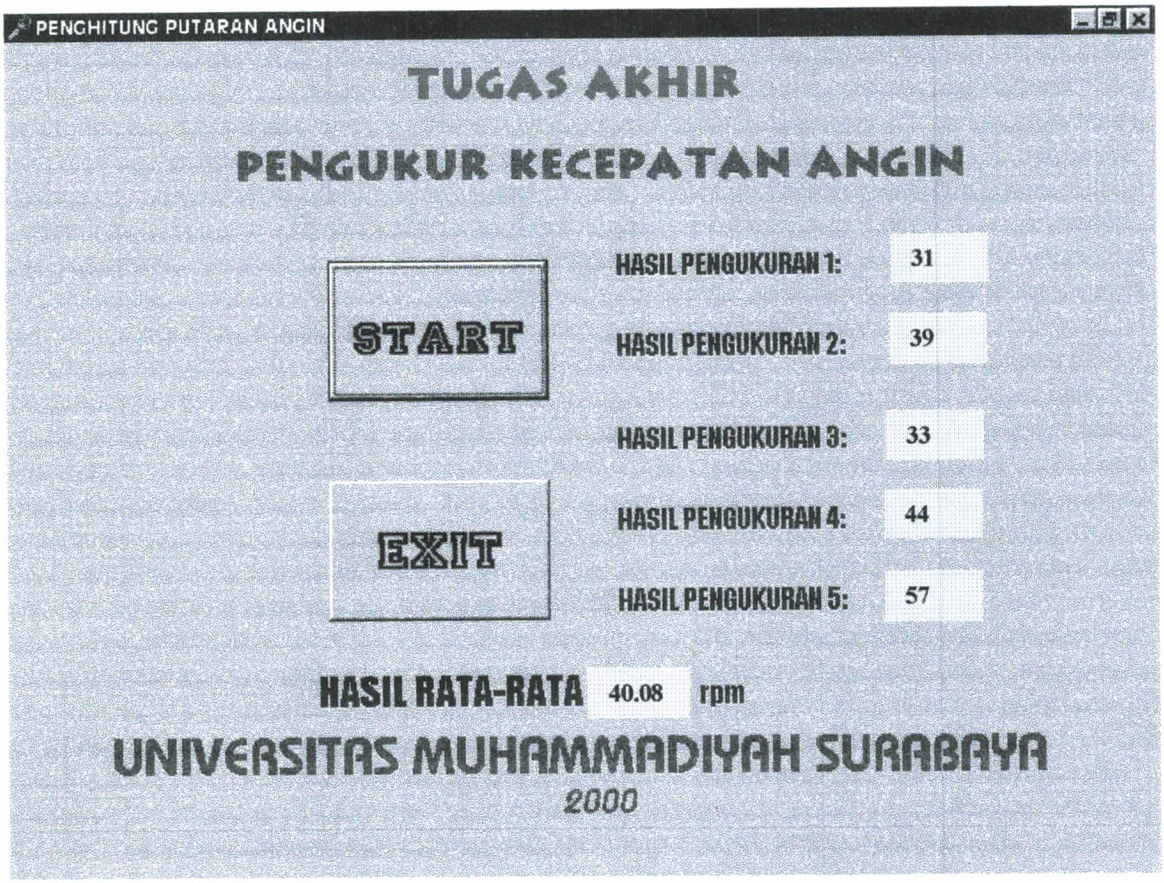
```
OutputDir=
UnitOutputDir=
PackageDLLOutputDir=
PackageDCPOutputDir=
SearchPath=
Packages=VCL50;VCLX50;VCLSMP50;QRPT50;VCLDB50;VCLBDE50;ibevn
t50;VCLDBX50;TEEUI50;TEEDB50;TEE50;TEEQR50;VCLIB50
Conditionals=
DebugSourceDirs=


UsePackages=0

[Parameters]
RunParams=
HostApplication=

[Version Info]
IncludeVerInfo=0
AutoIncBuild=0
MajorVer=1
MinorVer=0
Release=0
Build=0
Debug=0
PreRelease=0
Special=0
Private=0
DLL=0
Locale=1033
CodePage=1252
```

- **File Project1.cfg**

```
-$M-
-$N+
-$O+
-$P+
-$Q-
-$R-
-$S-
-$T-
-$U-
-$V+
-$W-
-$X+
-$Y-
-$Z1
-cc
-
AWinTypes=Windows;WinProcs=Windows;DbiTypes=BDE;DbiProcs=BDE;Dbi
Errs=BDE;
-H+
-W+
-M
-$M16384,1048576
-K$00400000
-LE"c:\program files\borland\delphi5\Projects\Bpl"
-LN"c:\program files\borland\delphi5\Projects\Bpl"
```

- **Tampilan Program**




PENGHITUNG PUTARAN ANGIN
TUGAS AKHIR
PENGUKUR KECEPATAN ANGIN
START
EXIT
HASIL PENGUKURAN 1:
31
HASIL PENGUKURAN 2:
39
HASIL PENGUKURAN 3:
33
HASIL PENGUKURAN 4:
44
HASIL PENGUKURAN 5:
57
HASIL RATA-RATA
40.08
rpm
UNIVERSITAS MUHAMMADIYAH SURABAYA
2000

- Hasil Percobaan Selama Tiga Hari

  - 10 Desember 2001 – 12.35 WIB

Pengukuran	Hasil (RPM)
Menit ke 1	55
Menit ke 2	33
Menit ke 3	41
Menit ke 4	43
Menit ke 5	57
HASIL	**45.8**

  - 11 Desember 2001 – 14.15

Pengukuran	Hasil (RPM)
Menit ke 1	31
Menit ke 2	39
Menit ke 3	35
Menit ke 4	52
Menit ke 5	41
HASIL	**39.6**

  - 12 Desember 2001 – 15.30

Pengukuran	Hasil (RPM)
Menit ke 1	60
Menit ke 2	55
Menit ke 3	51
Menit ke 4	53
Menit ke 5	69
HASIL	**57.6**

LAMPIRAN

PROGRAMMABLE PERIPERIHAL INTERFACE 8255 :

8255A FUNCTIONAL DESCRIPTION

General

The 8255A is a programmable peripheral interface (PPI) device designed for use in Intel® microcomputer systems. Its function is that of a general purpose I/O component to interface peripheral equipment to the microcomputer system bus. The functional configuration of the 8255A is programmed by the system software so that normally no external logic is necessary to interface peripheral devices or structures.

Data Bus Buffer

This 3-state bidirectional 8-bit buffer is used to interface the 8255A to the system data bus. Data is transmitted or received by the buffer upon execution of input or output instructions by the CPU. Control words and status information are also transferred through the data bus buffer.

Read/Write and Control Logic

The function of this block is to manage all of the internal and external transfers of both Data and Control or Status words. It accepts inputs from the CPU Address and Control busses and in turn, issues commands to both of the Control Groups.

($\overline{CS}$)

Chip Select. A "low" on this input pin enables the communiction between the 8255A and the CPU.

($\overline{RD}$)

Read. A "low" on this input pin enables the 8255A to send the data or status information to the CPU on the data bus. In essence, it allows the CPU to "read from" the 8255A.

($\overline{WR}$)

Write. A "low" on this input pin enables the CPU to write data or control words into the 8255A.

(A_0 and A_1)

Port Select 0 and Port Select 1. These input signals, in conjunction with the RD and WR inputs, control the selection of one of the three ports or the control word registers. They are normally connected to the least significant bits of the address bus (A_0 and A_1).

8255A BASIC OPERATION

A_1	A_0	$\overline{RD}$	$\overline{WR}$	$\overline{CS}$	INPUT OPERATION (READ)
0	0	0	1	0	PORT A – DATA BUS
0	1	0	1	0	PORT B – DATA BUS
1	0	0	1	0	PORT C – DATA BUS
					OUTPUT OPERATION (WRITE)
0	0	1	0	0	DATA BUS – PORT A
0	1	1	0	0	DATA BUS – PORT B
1	0	1	0	0	DATA BUS – PORT C
1	1	1	0	0	DATA BUS – CONTROL
					DISABLE FUNCTION
X	X	X	X	1	DATA BUS – 3-STATE
1	1	0	1	0	ILLEGAL CONDITION
X	X	1	1	0	DATA BUS – 3-STATE

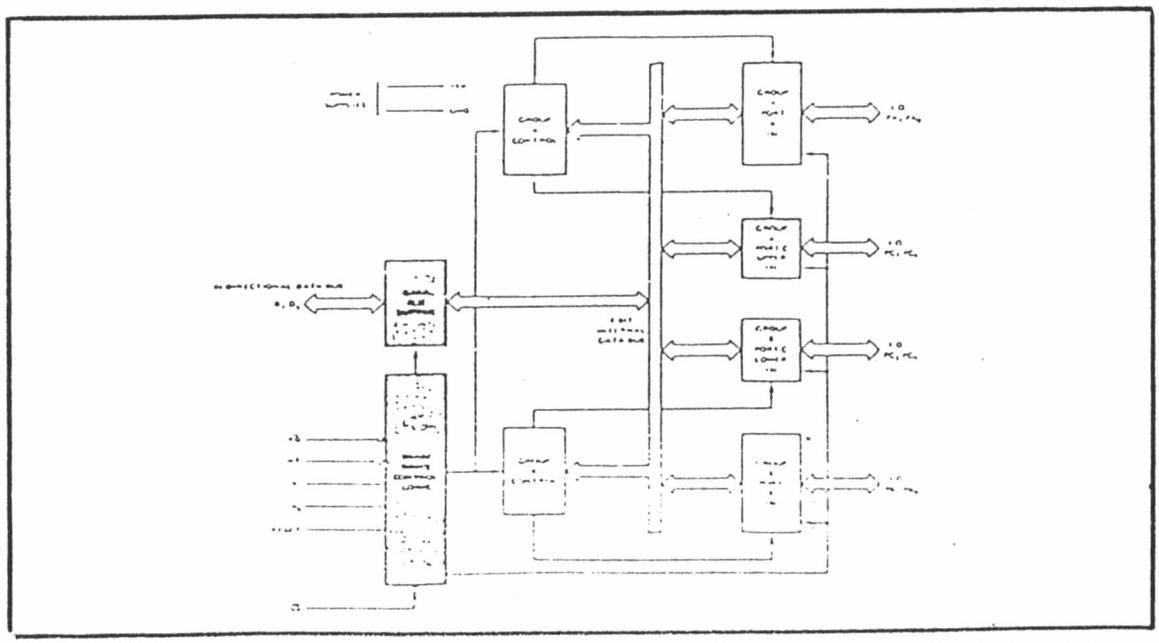


Figure 3. 8255A Block Diagram Showing Data Bus Buffer and Read/Write Control Logic Functions

LAMPIRAN

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

(RESET)

Reset. A "high on this input clears the control register and all ports (A, C, C) are set to the input mode.

Group A and Group B Controls

The functional configuration of each port is programmed by the systems software. In essence, the CPU "outputs" a control word to the 8255A. The control word contains information such as "mode", "bit set", "bit reset", etc., that initializes the functional configuration of the 8255A.

Each of the Control blocks (Group A and Group B) accepts "commands" from the Read/Write Control Logic, receives "control words" from the internal data bus and issues the proper commands to its associated ports.

Control Group A – Port A and Port C upper (C7-C4)
Control Group B – Port B and Port C lower (C3 C0)

The Control Word Register can Only be written into. No Read operation of the Control Word Register is allowed.

Ports A, B, and C

The 8255A contains three 8-bit ports (A, B, and C). All can be configured in a wide variety of functional characteristics by the system software but each has its own special features or "personality" to further enhance the power and flexibility of the 8255A.

Port A. One 8-bit data output latch/buffer and one 8-bit data input latch.

Port B. One 8-bit data input/output latch/buffer and one 8-bit data input buffer.

Port C. One 8-bit data output latch/buffer and one 8-bit data input buffer (no latch for input). This port can be divided into two 4-bit ports under the mode control. Each 4-bit port contains a 4-bit latch and it can be used for the control signal outputs and status signal inputs in conjunction with ports A and B.

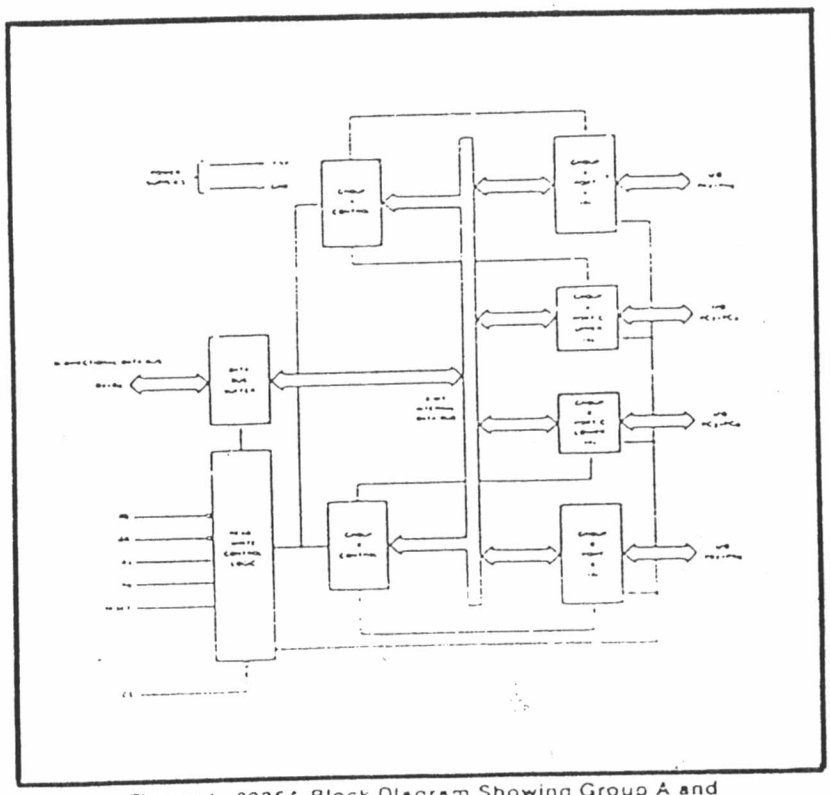
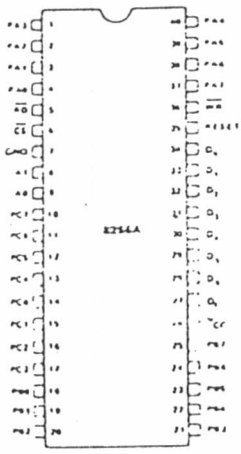


Figure 4. 8225A Block Diagram Showing Group A and Group B Control Functions

PIN CONFIGURATION



PIN NAMES

V_{cc} V_{ss}	DATA BUS (BI-DIRECTIONAL)
RESET	RESET INPUT
$\overline{CS}$	CHIP SELECT
$\overline{RD}$	READ INPUT
$\overline{WR}$	WRITE INPUT
A0 A1	PORT ADDRESS
PA7-PA0	PORT A (BIT)
PB7-PB0	PORT B (BIT)
PC7-PC0	PORT C (BIT)
V_{cc}	+5 VOLTS
GND	0 VOLTS

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

8255A OPERATIONAL DESCRIPTION

Mode Selection

There are three basic modes of operation that can be selected by the system software:

Mode 0 — Basic Input/Output
Mode 1 — Strobed Input/Output
Mode 2 — Bi-Directional Bus

When the reset input goes "high" all ports will be set to the input mode (i.e., all 24 lines will be in the high impedance state). After the reset is removed the 8255A can remain in the input mode with no additional initialization required. During the execution of the system program any of the other modes may be selected using a single output instruction. This allows a single 8255A to service a variety of peripheral devices with a simple software maintenance routine.

The modes for Port A and Port B can be separately defined, while Port C is divided into two portions as required by the Port A and Port B definitions. All of the output registers, including the status flip-flops, will be reset whenever the mode is changed. Modes may be combined so that their functional definition can be "tailored" to almost any I/O structure. For instance; Group B can be programmed in Mode 0 to monitor simple switch closings or display computational results, Group A could be programmed in Mode 1 to monitor a keyboard or tape reader on an interrupt-driven basis.

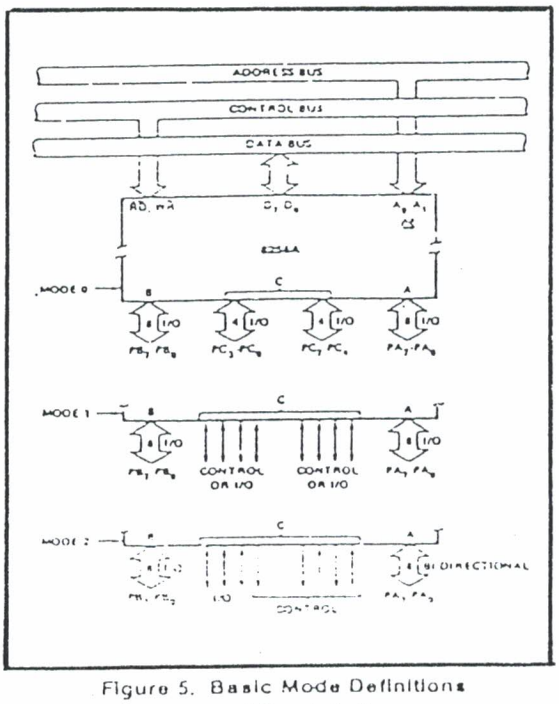


Figure 5. Basic Mode Definitions and Bus Interface

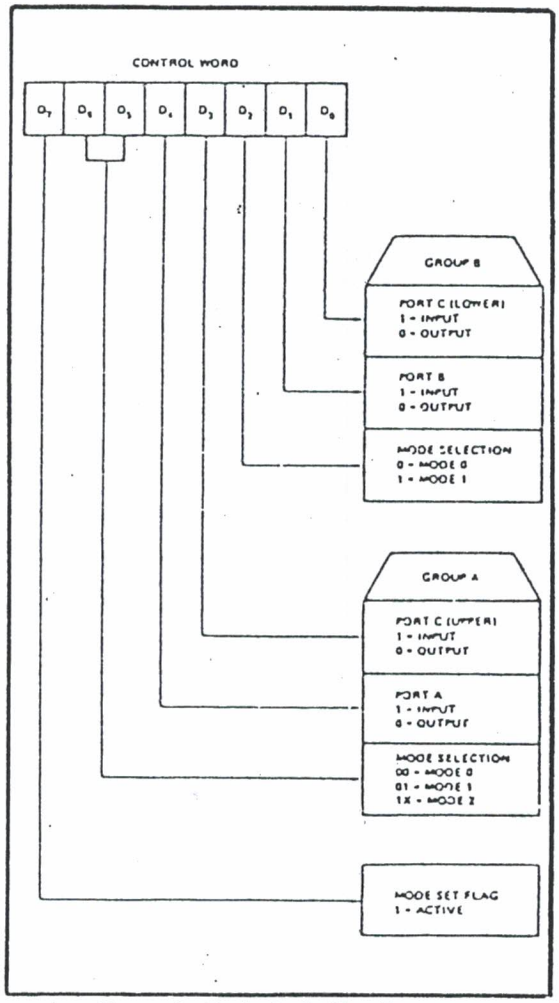


Figure 6. Mode Definition Format

The mode definitions and possible mode combinations may seem confusing at first but after a cursory review of the complete device operation a simple, logical I/O approach will surface. The design of the 8255A has taken into account things such as efficient PC board layout, control signal definition vs PC layout and complete functional flexibility to support almost any peripheral device with no external logic. Such design represents the maximum use of the available pins.

Single Bit Set/Reset Feature

Any of the eight bits of Port C can be Set or Reset using a single OUTput instruction. This feature reduces software requirements in Control-based applications.

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

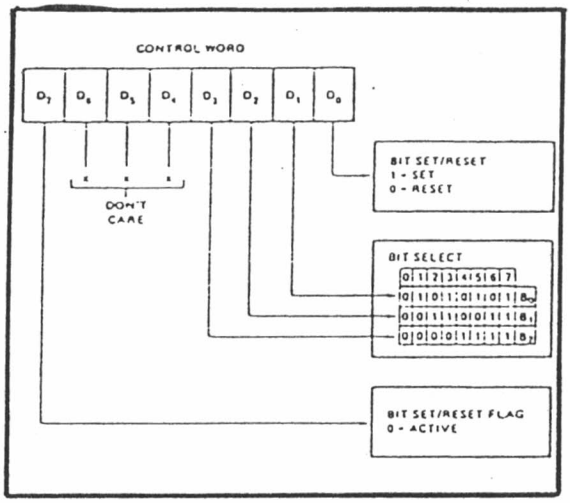


Figure 7. Bit Set/Reset Format

When Port C is being used as status/control for Port A or B, these bits can be set or reset by using the Bit Set/Reset operation just as if they were data output ports.

Interrupt Control Functions

When the 8255A is programmed to operate in mode 1 or mode 2, control signals are provided that can be used as interrupt request inputs to the CPU. The interrupt request signals, generated from port C, can be inhibited or enabled by setting or resetting the associated INTE flip-flop, using the bit set/reset function of port C.

This function allows the Programmer to disallow or allow a specific I/O device to interrupt the CPU without affecting any other device in the interrupt structure.

INTE flip-flop definition:

(BIT-SET) — INTE is SET — Interrupt enable
(BIT-RESET) — INTE is RESET — Interrupt disable

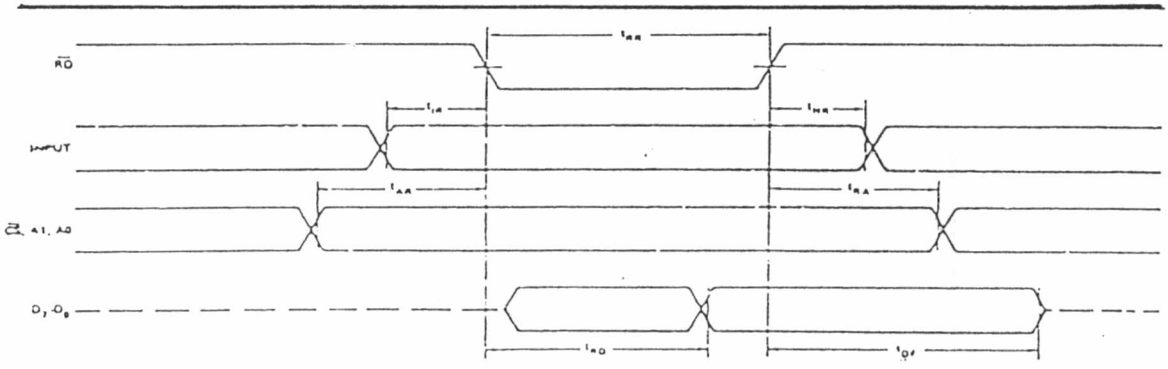
Note: All Mask flip-flops are automatically reset during mode selection and device Reset.

Operating Modes

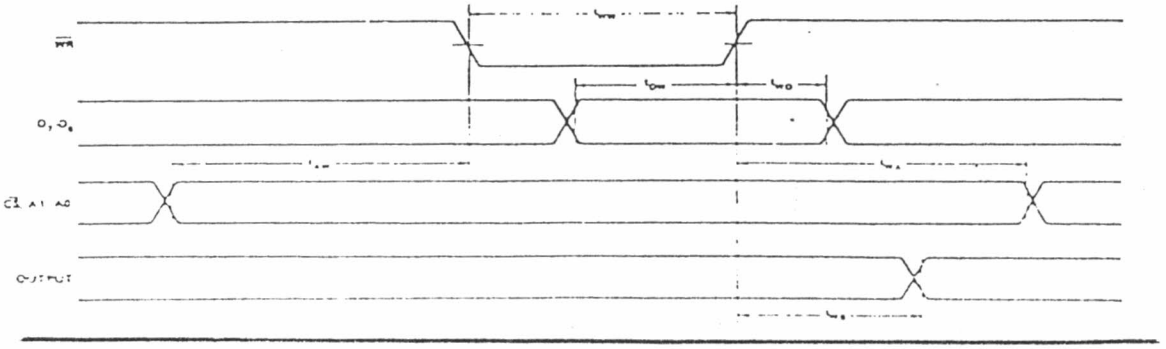
MODE 0 (Basic Input/Output). This functional configuration provides simple input and output operations for each of the three ports. No "handshaking" is required, data is simply written to or read from a specified port.

Mode 0 Basic Functional Definitions.

- Two 8-bit ports and two 4-bit ports.
- Any port can be input or output.
- Outputs are latched.
- Inputs are not latched.
- 16 different Input/Output configurations are possible in this Mode.



MODE 0 (Basic Input)



MODE 0 (Basic Output)

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

Input Control Signal Definition

STB (Strobe Input). A "low" on this input loads data into the input latch.

IBF (Input Buffer Full F/F)

A "high" on this output indicates that the data has been loaded into the input latch; in essence, an acknowledgement. IBF is set by STB input being low and is reset by the rising edge of the RD input.

INTR (Interrupt Request)

A "high" on this output can be used to interrupt the CPU when an input device is requesting service. INTR is set by the STB is a "one", IBF is a "one" and INTE is a "one". It is reset by the falling edge of RD. This procedure allows an input device to request service from the CPU by simply strobing its data into the port.

INTE A

Controlled by bit set/reset of PC_4.

INTE B

Controlled by bit set/reset of PC_2.

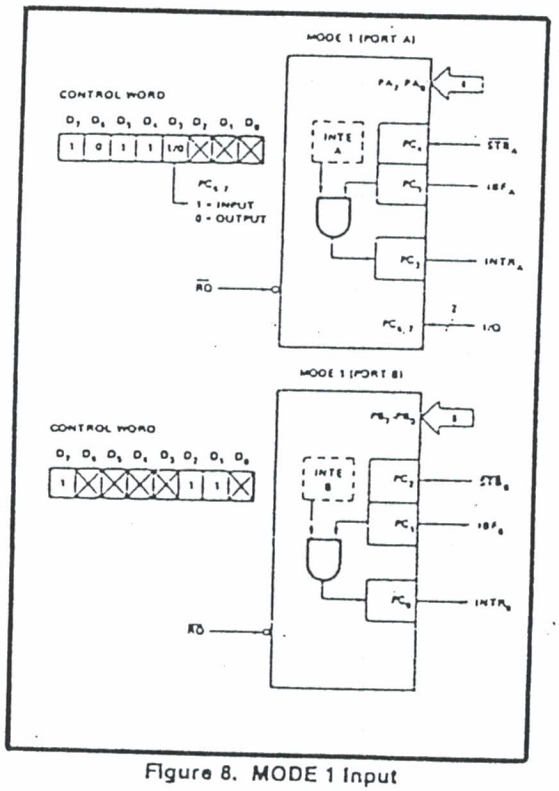


Figure 8. MODE 1 Input

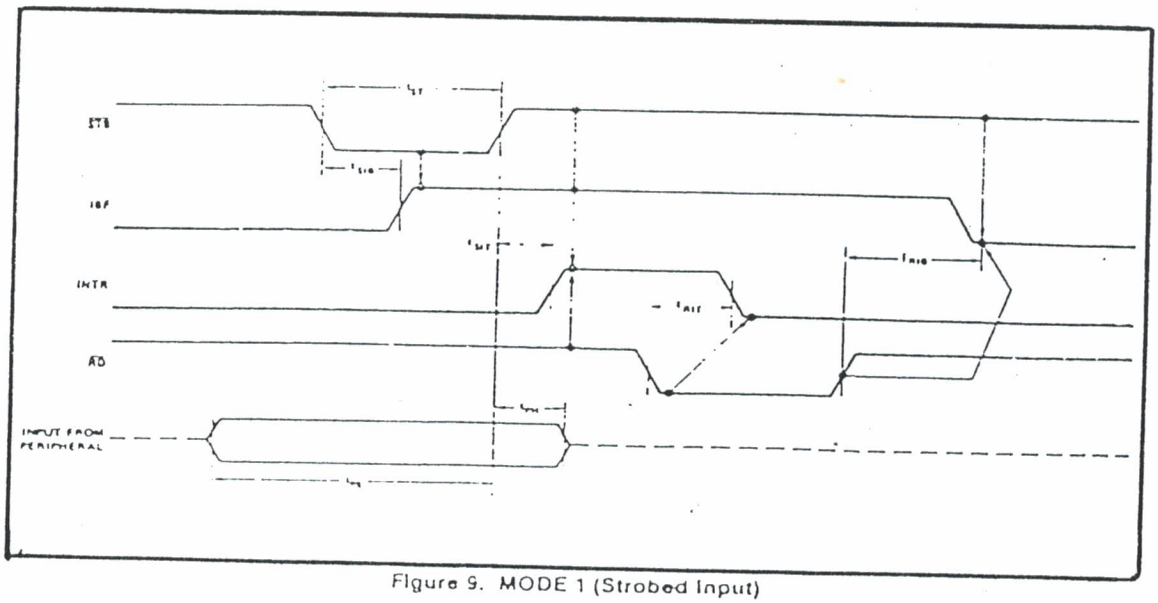


Figure 9. MODE 1 (Strobed Input)

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

Output Control Signal Definition

$\overline{OBF}$ (Output Buffer Full F/F). The OBF output will go "low" to indicate that the CPU has written data out to the specified port. The OBF F/F will be set by the rising edge of the WR input and reset by ACK input being low.

$\overline{ACK}$ (Acknowledge Input). A "low" on this input informs the 8255A that the data from port A or port B has been accepted. In essence, a response from the peripheral device indicating that it has received the data output by the CPU.

INTR (Interrupt Request). A "high" on this output can be used to interrupt the CPU when an output device has accepted data transmitted by the CPU. INTR is set when ACK is a "one", OBF is a "one" and INTE is a "one". It is reset by the falling edge of WR.

INTE A.

Controlled by bit set/reset of PC_6.

INTE B

Controlled by bit set/reset of PC_2.

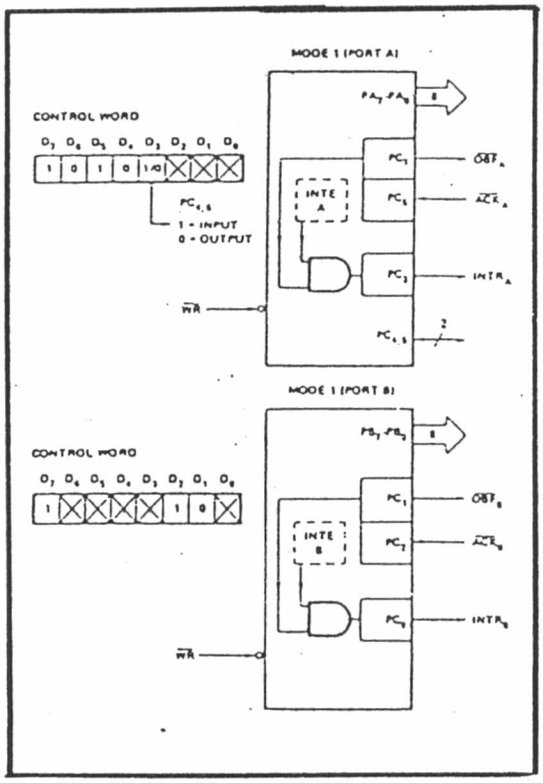


Figure 10. MODE 1 Output

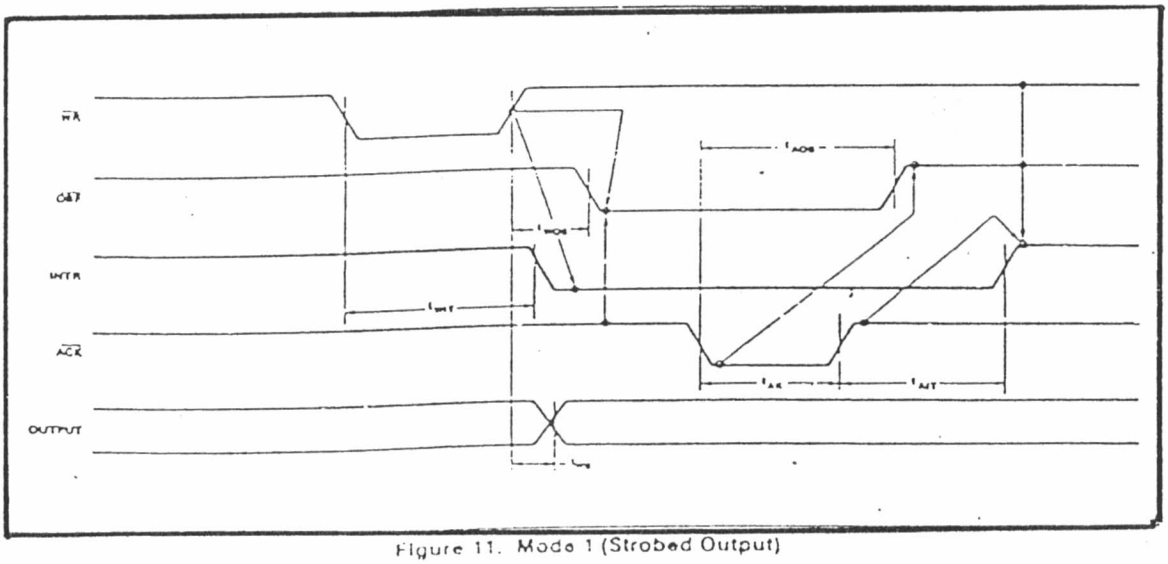


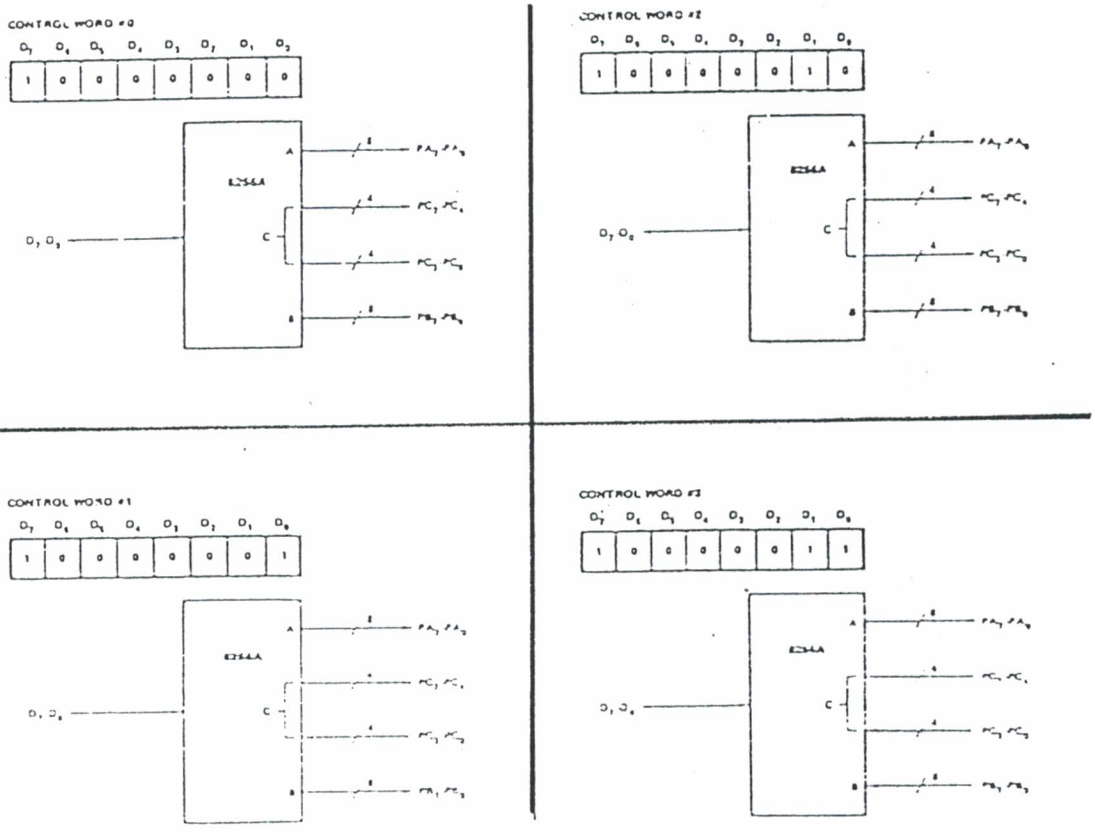
Figure 11. Mode 1 (Strobed Output)

8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

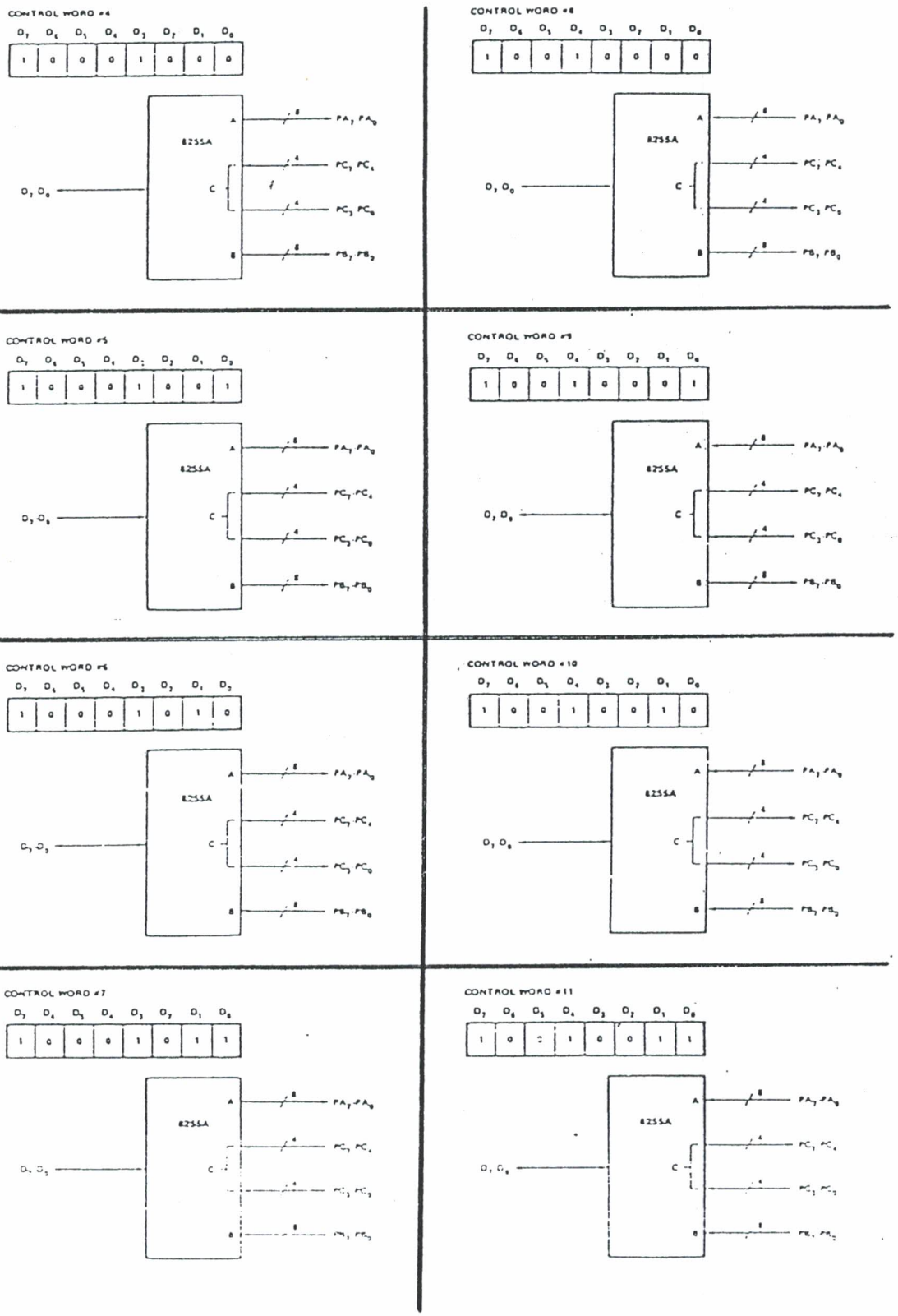
MODE 0 Port Definition

A		B		GROUP A			GROUP B	
D_4	D_3	D_1	D_0	PORT A	PORT C (UPPER)	#	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Configurations



8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE



8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

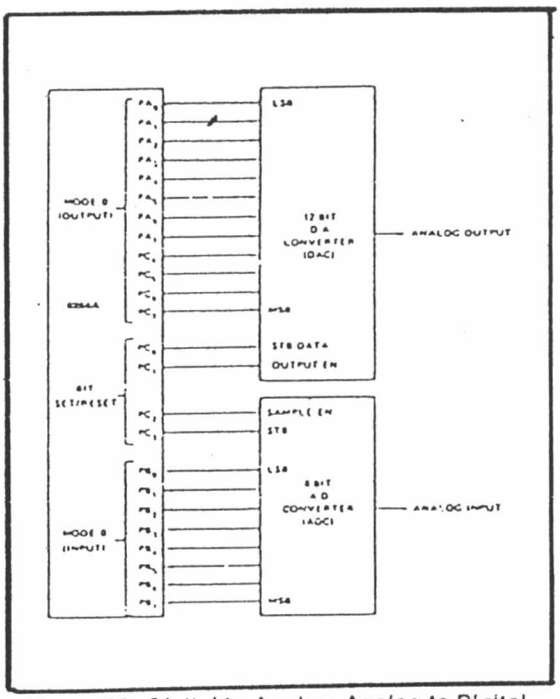


Figure 22. Digital to Analog, Analog to Digital

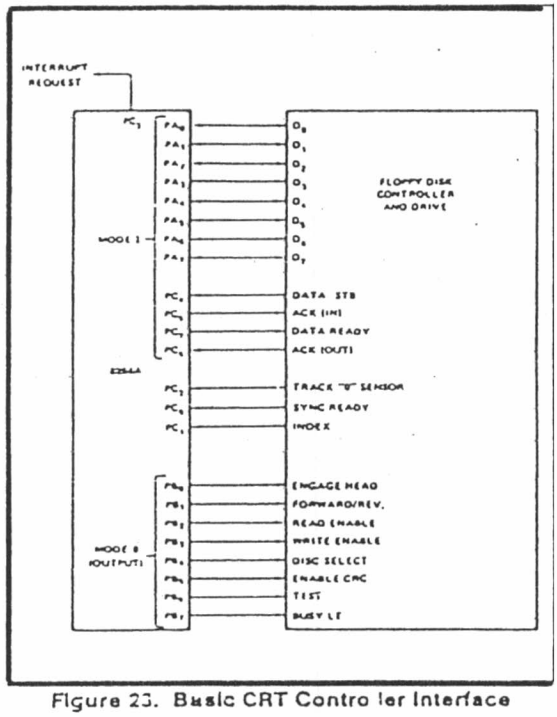


Figure 23. Basic CRT Contro ler Interface

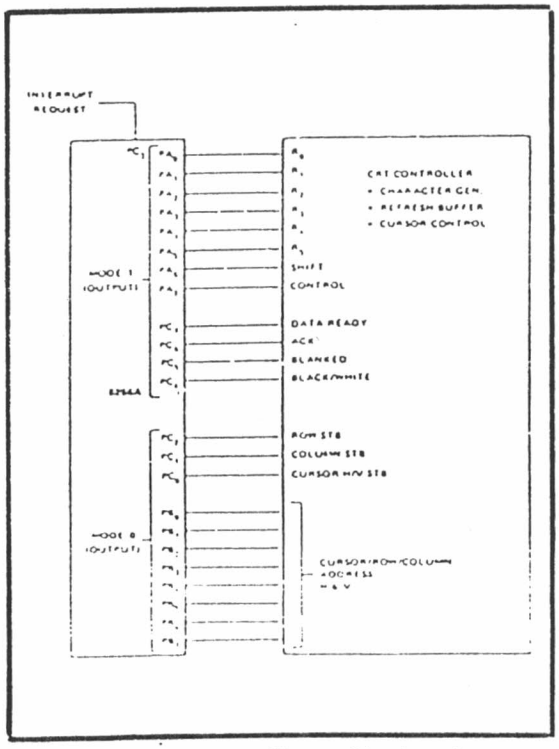


Figure 24. Basic Floppy Disc Interface

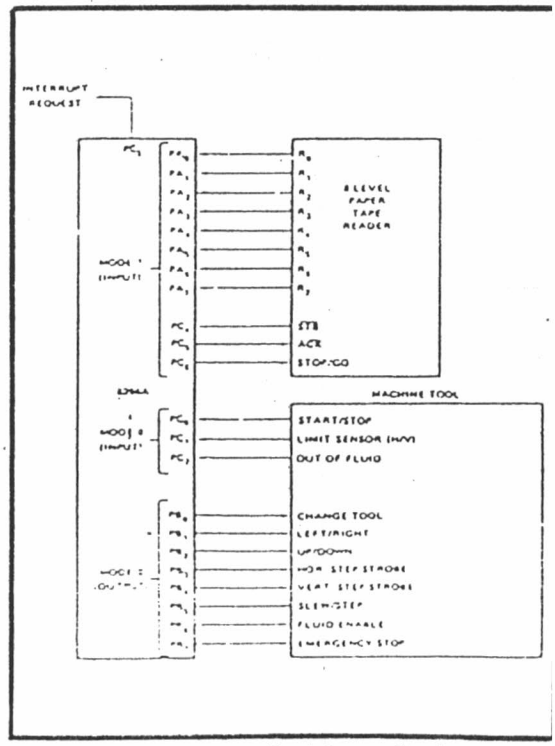


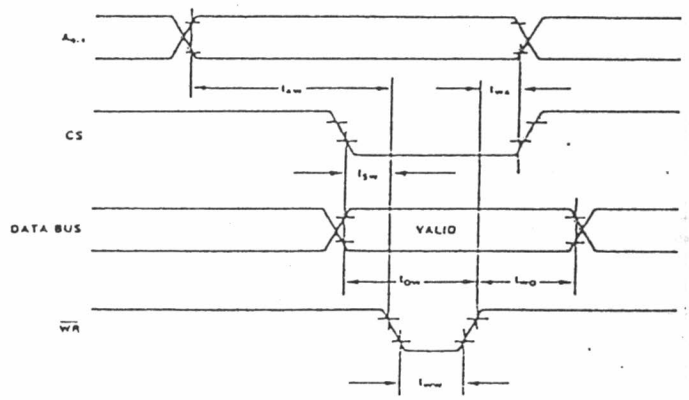
Figure 25. Machine Tool Controller Interface

LAMPIRAN

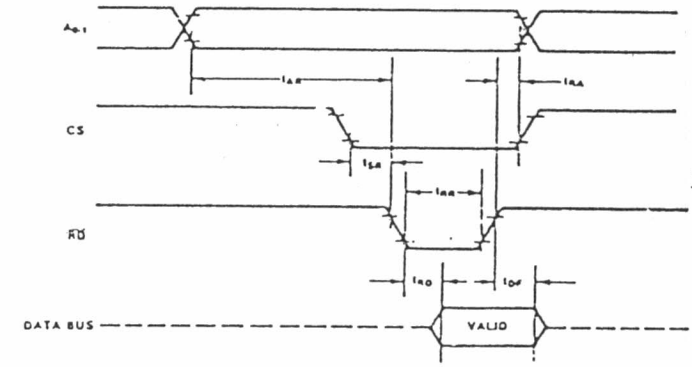
8255A/8255A-5
PROGRAMMABLE PERIPHERAL INTERFACE

WAVEFORMS

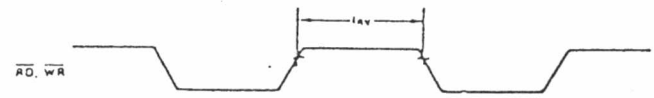
WRITE



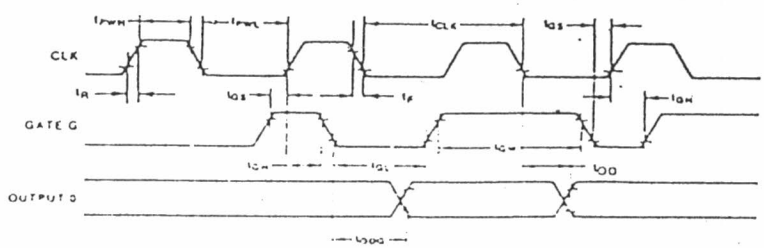
READ



RECOVERY



CLOCK AND GATE



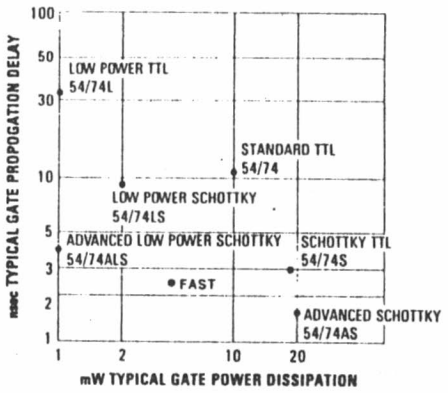
KARAKTERISTIK TTL

Rumpun rangkaian TTL

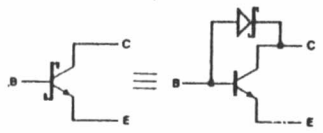
Setiap rumpun dicipta berkisar sesuatu obyektif penampilan tertentu, dalam batas-batas ekonomis sesuatu proses khusus. Faktor-faktor penampilan yang terpenting yang membeda-bedakan rumpun adalah konsumsi daya, kecepatan, dan kemampuan untuk menggerakkan kapasitansi perkawatan. Untuk keperluan penandingan, di Gambar 1 dikemukakan konsumsi daya dan tundaan rambat pada berbagai rumpun.

Dalam dua rumpun — TTL dan L-TTL — transistor-transistor di-on-kan dengan mengenakan padanya arus basis yang cukup, untuk memperoleh penguatan-arus terendah dari padanya. Transistor rata-rata, yang memiliki penguatan-arus lebih besar, memperoleh arus basis jauh lebih besar dari yang diperlukan; ini membikin panjaran maju kepada pertemuan kolektor-basis dan membikin transistor jenuh. Guna menyumbat transistor jenuh semacam itu, maka mula-mula kelebihan muatan pada basis perlu dibuang dulu, dan ini berarti sesuatu tundaan. Guna mempercepat perekombinasian muatan, lazimnya diterapkan cemaran emas, namun ini mengecilkan penguatan arus.

Transistor Schottky (Gambar 2) dapat mengatasi kesulitan tersebut. Transistor ini menerapkan dioda rintangan permukaan *(surface barrier)* yang memiliki perosotan tegangan maju rendah sekali (0,3 V) sebagai pintasan antara basis dan kolektor. Kalau transistor memulai menghantar dan hendak jenuh, maka kelebihan arus tidak diberikan kepada basis, melainkan dipintaskan lewat dioda Schottky ke kolektor. Akibatnya: transistor tidak akan pernah menjadi jenuh benar dan akan cepat pulih kalau arus basis diputuskan. Karena tidak diperlukan pencemaran emas, maka transistor memiliki penguatan-arus lebih besar, memerlukan arus basis lebih kecil, dan berguling lebih cepat.



Gambar 1. Tandingan kecepatan/produksi daya (gerbang lumrah)



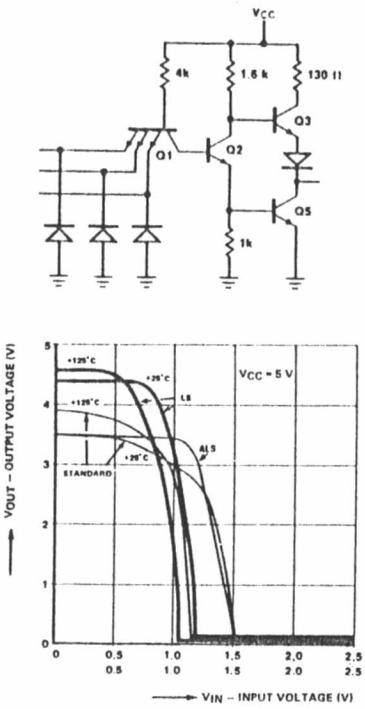
Gambar 2. Transistor Schottky

Schottky Daya-rendah Tinggi, *(Advanced Low-power Schottky, ALS)* dan Schottky Tinggi *(Advanched Schottky, AS)* telah dikonstruksi dengan proses yang kalau ditandingkan dengan proses teknologi tersebut di muka, memungkinkan memperoleh ukuran geometri lebih kecil dan lebih dangkal; berarti pengecilan kapasitansi liar dan kapasitansi dinding-samping, dan juga mempercepat waktu pensaklaran transistor. Hasil akhirnya adalah berupa perbaikan dalam penampilan daya dan kecepatan. Rumpun ALS memberikan daya lebih rendah dan kecepatan lebih tinggi ketimbang rumpun LS, sementara rumpun AS memiliki kecepatan duakali dari TTL Schottky dengan daya yang kira-kira sama.

Gambar 3 mengemukakan skema dasar gerbang rumpun TTL standar. Semuanya mirip; dan memiliki gerbang

DAN masukan, pembelah fasa Q2 beserta resistor emitor dan resistor kolektor, mekanisme penarik ke atas *(pull-up)* Q3 dan transistor penarik ke bawah *(pull-down)* Q5, Fungsi DAN dibentuk oleh transistor dengan banyak emitor, di mana pertemuan emitor-basis berguna untuk mengisolasi sumber-sumber isyarat dari yang lain di jalanmasuk, dan mengemudikan arus di resistor gerbang 4 Ω. Kalau masukannya RENDAH, arus gerbang mengalir ke luar lewat pertemuan basis-emitor dan Q1 jenuh, yang membuat tegangan basis Q2 sedikit lebih positif ketimbang tegangan masukan yang RENDAH, dan Q2 tidak menghantar. Selain itu, dalam kondisi ini, resistansi yang rendah antara emitor-kolektor di Q1 membikin sumber isyarat menarik muatan dari basis Q2 dan membantunya cepat menyumbat. Kalau semua jalanmasuk TINGGI, arus pintu mengalir lewat pertemuan basis-kolektor Q1 dan mengon-kan Q2. Dalam situasi ini, sedikit kuantitas muatan diinjeksikan ke basis Q1. Sebagian dari muatan ini berekombinasi di dalam daerah basis dan sebagian lagi hanyut terus dan "dikumpulkan" oleh emitor-emitor. Arus beta terbalik ini merupakan bagian penting dari arus bocoran I_{IH}. Fenomena ini timbul juga bila arus gerbang keluar lewat jalanmasuk yang RENDAH. Arus diinjeksikan ke basis dari emitor yang RENDAH dan sebagian dari padanya dikumpulkan emitor-emitor yang TINGGI. Isyarat masukan yang melampaui tarif +5,5 V yang dikenakan kepada salah satu jalanmasuk akan dapat menimbulkan dadalan di antara jalanmasuk itu dan jalanmasuk yang RENDAH; ini memberi peluang untuk rusak atau untuk mendapatkan panjaran dalam daerah resistansi negatif, bergantung pada resistansi dalam sumbernya. Panjaran dalam daerah resistansi negatif dapat menimbulkan guncangan yang sulit didiagnosa.

Pembelah fasa Q2 disebut demikian, sebab tegangan-tegangan kolektor dan emitor berubah dalam arah yang berlawanan bila Q2 berguling ke on atau ke off. Kalau Q2 berguling off, tegangan emitor merosot dan berhenti memberikan arus basis kepada transistor Q5; berbarengan dengan itu tegangan kolektor naik dan membesarkan arus basis Q3. Rangkaian Q3 memberikan penguatan arus dan impedansi rendah yang diperlukan untuk menarik jalankeluar ke taraf TINGGI sementara mengisi muatan kepada kapasitansi perkawatan. Banyaknya arus yang tersedia untuk mengisi kapasitansi dibatasi oleh resistor yang dihubungkan dari V_{cc} ke kolektor Q3. Arus pengisian ini tampak sebagai paku arus pada pena V_{cc} dan dalam praktek adalah lazim untuk menambahkan kondensator pintas pada papan logika guna mencatu permintaan yang mendadak akan arus

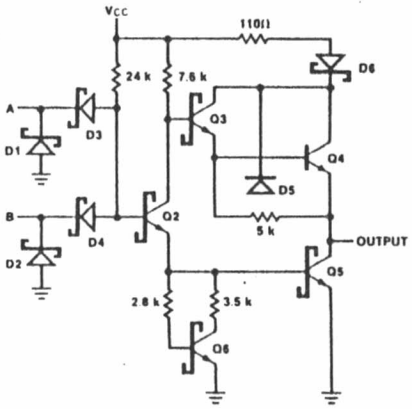


Gambar 3. Gerbang 7410 dan fungsi transfer tegangan

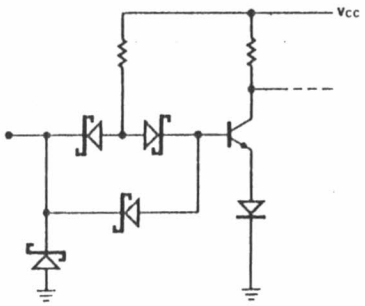
ini; dengan demikian tercegahlah paku-paku yang menuju negatif pada V_{cc}.
Kalau Q2 berguling on, tegangan kolektor jatuh dan menurunkan basis Q3; berbarengan dengan ini tegangan emitor naik dan memberikan arus basis kepada Q5. Kalau Q5 memulai menghantar, ia mulai membuang muatan dari kapasitansi beban dan menurunkan jalankeluar ke taraf RENDAH. Arus buang muatan ini tampak sebagai paku arus di pena GND dan merupakan salah satu asas utama mengapakah para perancang sistem memberikan banyak logam bumi pada papan-cetak.

Rumpun LS

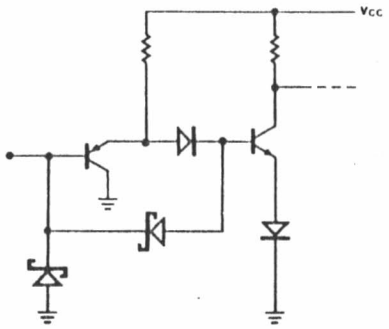
Dengan sedikit pengecualian, rangkaian LS-TTL tidak menerapkan struktur jalanmasuk multi-emitor. (Struktur inilah yang mula-mula memberikan namanya kepada TTL). Kebanyakan unsur LS menerapkan rangkaian jalanmasuk tipe DTL dengan dioda-dioda Schottky untuk melaksanakan fungsi DANnya, seperti yang diberikan contohnya dalam Gambar 4 (D3 dan D4). Kalau dibandingkan dengan struktur multi-emitor klasik, maka rangkaian ini lebih cepat, dan menaikkan tegangan dadalan masukan. Jalanmasuk semacam ini sudah diuji untuk bocoran dengan dikenai tegangan masukan 10 V; dan tegangan dadal masukan dijamin 15 V atau lebih. Susunan jalanmasuk lain yang sering diterapkan dalam MSI LS-TTL memiliki



Gambar 4. Gerbang 74LS00



Gambar 5. Jalanmasuk tandanan dioda



Gambar 6. Jalanmasuk PNP

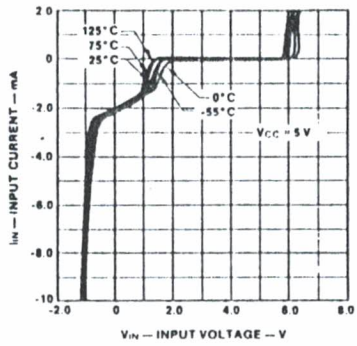
tiga dioda yang dikoneksikan seperti di Gambar 5. Konfigurasi ini memberikan ambang masukan yang sedikit lebih tinggi ketimbang yang di Gambar 4. Kadang-kadang diterapkan juga suatu konfigurasi ke tiga yang menerapkan sebuah transistor pnp vertikal seperti di Gambar 6. Susunan ini juga memberikan ambang masukan yang lebih tinggi, dan memberikan keunggulan

tambahan mengecilkan arus yang harus dibenamkan oleh sumber isyarat. Susunan dioda bertandan maupun konfigurasi masukan pnp memiliki tarif tegangan dadalan lebih besar dari 15 V.

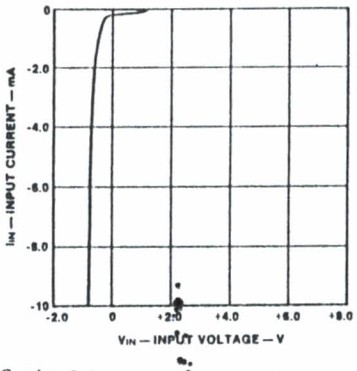
Karakteristik masukan

Gambar 7 adalah karakteristik arus-tegangan masukan sebuah penyangga TTL. Untuk taraf tegangan masukan di sekitar 6,0 V, jalanmasuk-jalanmasuk emitor membandang *(avalanche)*. Dalam kondisi ini sebuah jalanmasuk memiliki resistansi deret sangat rendah dan arus bandangan naik dengan cepat bersama tegangan masukannya. Untuk menghindari kerusakan yang permanen, sumber isyarat masukan harus memiliki batas 5,0 mA atau lebih kecil, ataupun tegangan masukan harus dibatasi sampai 5,5 V. Pada tegangan masukan antara 2,0 V dan 5,5 V, aliran arus hanyalah berupa arus bocoran masukan I_{IH}, yang dijamin tidak akan melebihi 40 µA atau 50 µA, bergantung pada rumpun rangkaian, untuk satu jalanmasuk.

Kalau tegangan masukan turun di bawah 2,0 V, maka arus mulai mengalir dari jalanmasuk dan dengan cepat membesar kalau tegangan mengecil. Lereng karakteristik dalam daerah ini hanyalah kira-kira 200 ohm, yang menandakan bahwa bagian dari arus berasal dari resistor gerbang yang sedang mengalir ke dalam lewat pertemuan-pertemuan intern rangkaian. Ini menandai daerah transisi, sebab di sesuatu titik, transistor penyangga *(buffer)* tidak memiliki cukup arus basis untuk bertahan, dan jalankeluar memulai mensaklar dari RENDAH ke TINGGI.



Gambar 7. Karakteristik masukan penyangga TTL



Gambar 8. Karakteristik masukan LS-TTL

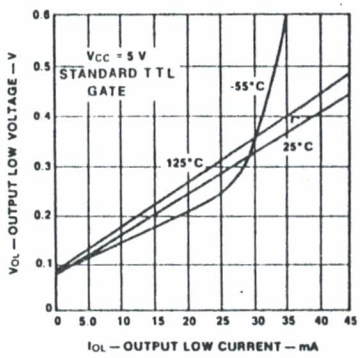
Kalau tegangan masukan turun dari kira-kira 1,0 V ke −0,5 V, lereng karakteristik menyamai resistor gerbang, dalam hal kita di sini kira-kira 2 kΩ. Kalau masukan turun sampai di bawah −0,7 V arus pun naik karena dioda-dioda penutuh masukan menghantar. Gambar 8 mengemukakan karakteristik masukan sebuah rangkaian LS-TTL. Lumrahnya dadalan *(breakdown)* dioda masukan adalah besar dari 15 V, dan di atas 1,5 V arus bocoran masukan dapat diabaikan. Kalau tegangan masukan jatuh di bawah 1,3 V, arus gerbang mulai mengalir keluar jalanmasuk, menandai daerah transisi. Pada tegangan masukan di antara 1,0 V dan −0,3 V, karakteristik I−V memiliki lereng yang menyamai resistor gerbang 24 kΩ. Dioda penutuh *(clamping)* menghantar, dan arus naik dengan cepat kalau tegangan masukan mendekati ca. −0,3 V. Dioda-dioda tutuh dalam LS-TTL bertujuan hanya untuk menindas arus-arus kilasan *(transients)* dan tidak boleh digunakan untuk penutuh

dalam kondisi siap *(steady state)* dalam terapan-terapan antar-tatapan *(interface)*. Arus tutuh yang melampaui 2,0 mA dan selama melebihi 500 ndet dapat mengaktifkan transistor npn menyamping parasit *(parasitic lateral transistor)*. Sebaliknya, ini akan dapat mencuri arus dari perut-perut rangkaian LS dan menyebabkan kekeliruan logika. Kapasitas efektif jalanmasuk TTL adalah 5,0 pF, pada DIP. Pada jalanmasuk yang melakukan lebih dari satu fungsi intern, tiap fungsi tambahan menambahkan 1,5 pF.

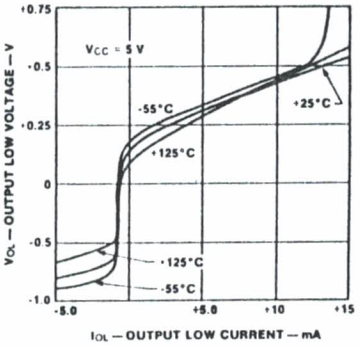
Jalanmasuk takterpakai

Secara teori, jalanmasuk yang tak dihubungkan, mendapatkan taraf logika TINGGI, namun dalam praktek ternyata merupakan status tak menentu, sebab cenderung bekerja sebagai antena yang memungut desah. Hanya beberapa ratus milivolt desah membikin jalanmasuk yang tak terhubungkan memperoleh status RENDAH. Pada peranti-peranti yang menerapkan ingatan (gulang-guling, grendel *(latch)*, register, pencacah), adalah sangat penting untuk menutup jalanmasuk takterpakai dengan baik, sebab paku-paku desah pada jalanmasuk ini akan dapat mengubah isi ingatan. Tidaklah baik untuk berpraktek dengan jalanmasuk takterpakai mengambang.

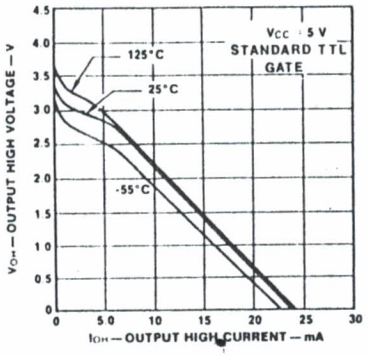
Kalau fungsi logika memerlukan masukan RENDAH, seperti pada gerbang NOR atau OR, bumikanlah jalanmasuk yang tak terpakai. Untuk isyarat TINGGI yang permanen baiklah jalanmasuk takterpakai ditambatkan pada V_{cc}. Pada jalanmasuk tipe emitor, dianjurkan memakai resistor sekitar 1 kΩ sampai 5 kΩ, sebab jalanmasuk itu dadal pada tegangan di atas kira-kira 5,5 V, dan pencatu daya yang rusak atau salah stel akan dapat merusakkan, terkecuali kalau arusnya diba-



Gambar 9. Karakteristik RENDAH keluaran gerbang TTL



Gambar 10. Karakteristik RENDAH keluaran gerbang LS-TTL

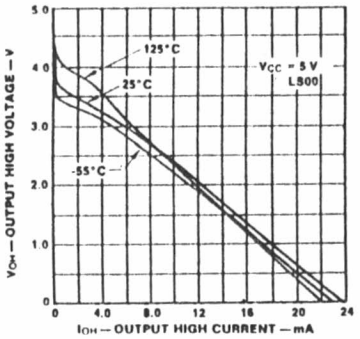


Gambar 11. Karakteristik TINGGI keluaran gerbang TTL

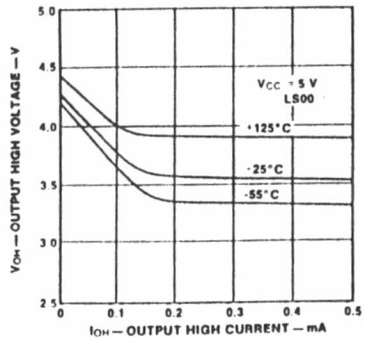
tasi. Perhatikanlah bahwa satu resistor akan dapat berguna untuk beberapa jalanmasuk, dengan syarat bahwa arus I_{IH} yang berkumulasi tidak akan membikin tegangan merosot di bawah 2,4 V. Juga perhatikan bahwa jalanmasuk tipe dioda LS-TTL memiliki tegangan dadal di atas 15 V, jadi pada umumnya resistor pengamanan tidak diperlukan. Jalanmasuk takterpakai akan dapat ditambatkan pada jalanmasuk terpakai yang memiliki fungsi logika sama, seperti misalnya pada gerbang NAND dan AND, dengan syarat bahwa penggeraknya akan mampu menangani tambahan I_{IH}. Praktek ini tidak dianjurkan pada jalanmasuk tipe dioda LS-TTL dalam lingkungan yang berdesah, sebab setiap dioda merupakan sebuah kondensator, dan dua atau lebih dioda akan dapat bekerja sebagai gerbang *(port)* masukan bagi paku-paku masukan yang disuperposisikan pada taraf TINGGI dan menyebabkan penyumbatan sementara pada Q2 (lihat Gambar 4).

Karakteristik keluaran

Gambar 9 mengemukakan karakteristik keluaran status RENDAH sebuah TTL standar dalam tiga suhu. Dengan arus tanpa-beban, taraf keluaran adalah tegangan gelinciran *(offset voltage)* setinggi ca. 90 mV. Lereng karakteristik 25° C menunjukkan resistansi jenuhan 8 Ω naik sampai 9 Ω pada 125° C dan turun sampai 6 Ω pada −55° C. Dalam suhu rendah, beta transistor menurun sedemikian hingga transistor akhir keluar dari kejenuhan untuk arus-arus di atas 25 mA.



Gambar 12. Karakteristik TINGGI keluaran gerbang LS-TTL



Gambar 13. Karakteristik TINGGI keluaran gerbang LS-TTL, pada pemuatan rendah

Gambar 10 memperlihatkan karakteristik keluaran status RENDAH sebuah gerbang LS-TTL. Pada harga-harga I_{OL} rendah, transistor Q5 tertutuh agar tidak terlampau jenuh, hingga memperpendekkan tundaan penggulingan ke off. Lengkung-lengkung juga memperlihatkan efek tutuhan *(clamping)* bila I_{OL} cenderung mengarah ke negatif. Dalam rangkaian LS-TTL, penutuhan yang anti-jenuh oleh Q5 (Gambar 4) berarti bahwa tegangan RENDAH keluaran adalah sedikit lebih tinggi ketimbang yang berlaku bagi rangkaian jenuh setara, pada taraf arus yang sama.

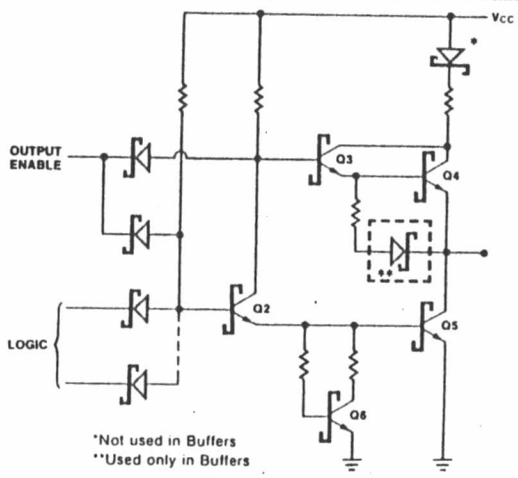
Dalam status TINGGI jalankeluar *totempole* memberikan impedansi rendah dan mampu menyumberi arus yang cukup besar. Gambar 11 mengemukakan karakteristik TINGGI sebuah pintu standar, dalam tiga suhu. Dengan arus tanpa-beban, V_{OH} adalah kira-kira 3,5 V pada 25° C. Kalau I_{OH} naik hingga kira-kira 6,0 mA, karakteristik berbentuk menyerupai sesuatu tegangan tetap dikurang dengan kenaikan tegangan yang naik secara logaritma antara dua pertemuan p−n. Pada I_{OH} lebih besar dari 6,0 mA,

transistor Q3 (Gambar 3) menjadi jenuh dan lereng karakteristik dibentuklah oleh resistor pembatas arus 130 Ω ditambah resistansi jenuhan Q3. Arus I_{OH} maksimum, dimana karakteristik berpotongan dengan sumbu horisontal, berkorelasi dengan parameter arus keluaran hubungsingkat I_{OS} dan sering kali dianggap sebagai ukuran bagi kemampuan rangkaian untuk mengisi muatan pada kapasitansi saluran.

Gambar 12 mengemukakan karakteristik TINGGI keluaran LS00, yang sangat mirip dengan gerbang standar di Gambar 11. Berkat resistor 5,0 kΩ dari Q3 ke jalankeluar (Gambar 4) maka rangkaian LS menyediakan pengamanan yang lebih besar terhadap desah yang menuju ke negatif pada isyarat stasioner TINGGI.

Keluaran 3-status

Dalam rumpun-rumpun TTL yang lebih baru terdapat banyak rangkaian yang memiliki jalanmasuk kemudi tambahan, dimana salah satu transistor akhir dapat dilumpuhkan *(disabled)*, yaitu transistor penarik ke-atas *(pull-up)* ataupun transistor penarik ke-bawahnya *(pull-down)*. Kondisi ini disebut status impedansi tinggi *(high Z)* dan memungkinkan untuk menghubungkan berbagai jalankeluar rangkaian-rangkaian pada satu bus data atau saluran. Gambar 14 adalah sebuah jalankeluar 3-status lumrah, memiliki rangkaian penarik-ke-atas dan penarik-ke-bawah yang mirip dengan di Gambar 4. Perbedaan yang terpenting adalah bahwa fungsi mampu *(enable function)* dihubungkan lewat dioda ke basis Q3. Isyarat RENDAH yang ada pada *enable* menyumbat Q2 dan juga Q3, jadi melumpuhkan rangkaian penarik ke-atas maupun penarik ke-bawah. Dalam kondisi lumpuh, jalankeluar sudah diuji pada 2,4 V (I_{OZH}) dan pada 0,4 V atau 0,5 V (I_{OZL}) guna meyakinkan bahwa mereka tidak akan membebani dengan berlebihan data busnya. Kalau rangkaian berada dalam ragam dwistatus *(bi-state mode)* (yaitu sedang mampu), maka karakteristik TINGGI dan RENDAH adalah sama seperti rangkaian-rangkaian tipe lain yang memiliki kemampuan menggerak yang sama.



Gambar 14. Pengemudi keluaran 3-status lumrah

Kipas-masuk *(fan-in)* dan kipas-keluar *(fan-out)*

Guna menyederhanakan perancangan dengan peranti-peranti TTL, maka parameter-parameter pembebanan jalanmasuk dan jalankeluar dirata-ratakan dalam harga-harga berikut (Tabel 1):

Membesarkan kipas-keluaran

Guna membesarkan kipas-keluaran, jalanmasuk dan jalankeluar gerbang-gerbang dalam kemasan yang sama dapatlah dijajarkan. Disarankan agar banyaknya gerbang yang dijajarkan itu terbatas dalam jumlah yang ada dalam satu kemasan saja, untuk menghindari arus kilasan yang besar yang disebabkan oleh waktu pensaklaran yang berlain-lainan pada gerbang-gerbang. Kejadian ini akan dapat menimbulkan permasalahan-permasalahan logika, kalau pintu digunakan sebagai penggerak lonceng.

Antarmuka *(interfacing)* TTL dan CMOS

Dengan pencatu daya 5,0 V, jalankeluar CMOS seri B (dilengkapi penyangga, *buffered*) dijamin akan membenamkan *(sink)* 0,4 mA pada V_{OL} = 0,4 V; ini jodoh dengan persyaratan masukan sebuah jalanmasuk LS-TTL. Kalau tegangan catu V_{DD} bagi CMOS lebih besar dari 5,0 V, maka jalanmasuk LS-TTL perlu yang memiliki dioda masukan. Ini meyakinkan bahwa V_{OH}-nya CMOS (= V_{DD}) akan tidak mendadalkan jalanmasuk LS-TTL. Ambang V_{IH} bagi jalanmasuk CMOS mungkin mencapai 70% V_{DD}, sementara V_{IL}-nya tidak akan rendah dari 30% V_{DD}. Jadi isyarat keluaran TTL akan memuaskan pada taraf RENDAH, namun diperlukan sebuah transistor penarik ke-atas *(pull-up transistor)* untuk menjamin taraf TINGGI yang memadai bagi jalanmasuk CMOS. Resistornya harus dikoneksikan kepada pencatu V_{DD} CMOS, dan bila ini melebihi 5,5 V, penggerak TTL harus memiliki kemampuan untuk tidak menghantar cukup pada tegangan yang tinggi ini.

Tegangan catu dan suhu

Tegangan catu yang lumrah (V_{CC}) semua rangkaian TTL adalah +5,0 V. Tipe komersial ada yang terjamin dapat berfungsi dalam toleransi ±5% (±250 mV) dari tegangan catu dalam jelajahan suhu antara 0° C hingga 75° C (ada yang 70°). Suhu pertemuan yang sebenarnya akan dapat dihitung dengan mengalikan borosan daya peranti dengan resistansi termik kemasannya; pada hasilkali ini ditambahkan suhu lingkungan yang terukur T_A, ataupun suhu kemasan T_C.

Tabel 1. Kipas-masuk dan kipas-keluar

TTL standar

	Kipas-masuk	Kipas-keluar
Tinggi	1(= 40 µA)	10(= −400 µA)
Rendah	1(= −1,6 mA)	10(= 16 mA)

Schottky daya rendah

	Kipas-masuk	Kipas-keluar
Tinggi	1(= 20 µA)	20(= −400 µA)
Rendah	1(= −0,4 mA)	20(= 8 mA)

Tabel 2. Resistansi termik

Kemasan	Θ_{JA},° C/W	Θ_{JA},° C/W
Plastik DIP 14-pena	125	48
Plastik DIP 16-pena	120	45
Plastik DIP 24-pena	74	40

Keterangan tentang tabel-tabel fungsi

Lambang-lambang berikut ini dipakai dalam tabel-tabel fungsi dalam lembaran data TI:

H = taraf tinggi, status siap

L = taraf rendah, status siap

↑ = peralihan (transisi) dari taraf rendah ke tinggi

↓ = peralihan dari taraf tinggi ke rendah

X = takrelevan (sebarang jalanmasuk, termasuk transisi-transisi)

Z = taraf off (impedansi tinggi) pada jalankeluar 3-status

a ... h = taraf status siap masukan-masukan pada jalanmasuk A sd H

Q_O = taraf yang ada pada Q sebelum terjadinya kondisi siap di jalanmasuk yang ditunjukkan

$\bar{Q}_O$ = komplemen Q_O atau taraf $\bar{Q}$ sebelum terjadinya kondisi jalanmasuk yang ditunjukkan

Q_n = taraf Q sebelum transisi aktif terakhir sebagai yang dinyatakan dengan ↑ atau ↓

⎍ = satu denyut taraf tinggi

⎎ = satu denyut taraf rendah

TOGGLE = tiap jalankeluar berubah ke komplemennya taraf sebelumnya pada setiap transisi aktif seperti yang ditunjukkan dengan ↑ atau ↓.

Kalau dalam lajur masukan, sesuatu baris mengandung hanya lambang H, L, dan/atau X, ini berarti bahwa keluaran yang ditunjukkan adalah benar apabila konfigurasi masukan tercapai dan tidak perduli akan urut-urut-

an untuk mencapainya. Keluarannya bertahan selama konfigurasi masukan dipertahankan.

Kalau dalam lajur masukan, sesuatu baris mengandung H, L dan/atau X bersama-sama dengan ↑ dan/atau ↓ maka ini berarti bahwa keluaran hanyalah benar apabila konfigurasi masukannya sudah diperoleh, namun transisi harus terjadi sesudah diperolehnya taraf-taraf siap *(steady-state levels)*. Kalau keluaran diperlihatkan sebagai sesuatu taraf (H, L, Q_O atau $\bar{Q}_O$), maka ini berkanjang terus selama dipertahankannya taraf-taraf masukan siap, dan dipertahankannya pula taraf-taraf yang mengakhiri transisi yang diperlihatkan. Terkecuali kalau dinyatakan lain, transisi masukan yang berlawanan arah dengan yang diperlihatkan, tidaklah berpengaruh kepada jalankeluar. (Kalau masukan diperlihatkan sebagai denyut, ⎍ atau ⎏, maka denyut mengikuti transisi masukan yang diperlihatkan, dan berkanjang selama luang waktu yang bergantung pada rangkaiannya).

Di antara tabel-tabel fungsi yang kompleks dalam buku ini adalah tabel fungsi register. Tabel ini mengandung paling banyak lambang dari yang digunakan dalam tabel-fungsi yang lain, ditambah lain-lain lagi. Di bawah ini adalah tabel fungsi sebuah register geser universal dwiarah 4-bit, yaitu tipe SN 74194.

Baris pertama dalam tabel menyatakan pembersihan *(clearing)* secara sinkron pada register dan menjelaskan, bahwa bila bersih adalah rendah maka semua keempat jalankeluar dipulihkan *(reset)* ke rendah, tidak mengingat akan jalanmasuk-jalanmasuk yang lain. Dalam baris-baris berikutnya, bersih *(clear)* adalah takaktif (tinggi) dan karenanya tidak berefek.

Tabel fungsi

INPUTS										OUTPUTS			
CLEAR	MODE		CLOCK	SERIAL		PARALLEL				Q_A	Q_B	Q_C	Q_D
	S1	S0		LEFT	RIGHT	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	Q_{An}	Q_{Bn}	Q_{Cn}
H	L	H	↑	X	L	X	X	X	X	L	Q_{An}	Q_{Bn}	Q_{Cn}
H	H	L	↑	H	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	H
H	H	L	↑	L	X	X	X	X	X	Q_{Bn}	Q_{Cn}	Q_{Dn}	L
H	L	L	X	X	X	X	X	X	X	Q_{A0}	Q_{B0}	Q_{C0}	Q_{D0}

Baris kedua memperlihatkan bahwa selama denyut lonceng tetap rendah (sementara *clear* adalah tinggi), takada jalanmasuk lain yang berefek dan jalankeluar-jalankeluar bertahan pada taraf yang ada padanya seperti sebelum terjadinya kombinasi status siap yang berupa *clear* tinggi dan lonceng *(clock)* rendah. Dalam baris-baris yang lain tampak bahwa transisi naik pada lonceng yang aktif, maka dalam baris kedua secara implisit dinyatakan bahwa tidak akan terjadi perubahan lain di jalankeluar selama lonceng tetap tinggi atau selama dalam transisi lonceng dari tinggi-ke-rendah.

Baris ketiga dalam tabel menyatakan adanya pemuatan *(loading)* secara jajar pada register, dan berkata bahwa kalau S1 dan S0 kedua-duanya tinggi, maka tak perduli akan masukan deret *(serial input)* data yang dimasukkan di A di jalankeluarnya berbentuk Q_A, data yang dimasukkan di B mengeluarkan Q_B, dan seterusnya, mengikuti transisi lonceng dari rendah-ke-tinggi.

Baris keempat dan kelima menyatakan pemuatan data taraf tinggi dan rendah, dari jalanmasuk deret *(serial input)* register-geser dan digeserkannya data yang sudah masuk terdahulu, sepanjang satu bit; data yang tadinya pada Q_A sekarang ada pada Q_B, data yang tadinya ada pada Q_B sekarang ada di Q_C dan yang tadinya pada Q_C menjadi ada di Q_D. Data yang tadinya ada di Q_D sekarang tak ada lagi dalam register. Pemasukan data berderet dan penggeseran ini terjadi dalam transisi lonceng dari rendah-ke-tinggi bila S1 rendah dan S0 tinggi dan taraf-taraf di jalanmasuk A sd D tidak berpengaruh.

Baris keenam mengemukakan pemuatan data taraf tinggi, sedangkan baris ke tujuh mengemukakan pemuatan data taraf rendah, dari jalanmasuk deret geser-kiri dan penggeseran satu bit akan data yang sudah dimasukkan terdahulu. Data yang tadinya ada di Q_B sekarang berada di Q_A; taraf terdahulu

yang ada pada Q_C sekarang ada pada Q_B, dan yang ada pada Q_D sekarang ada pada Q_C, sedangkan data yang tadinya pada Q_A tidak lagi berada dalam register. Pemasukan data deret dan penggeseran terjadi pada transisi denyut lonceng dari rendah-ke-tinggi dengan S1 tinggi dan S0 rendah, dan taraf-taraf pada jalanmasuk A sd D tidak berpengaruh. Baris terakhir mengemukakan bahwa selama kedua ragam jalanmasuk adalah rendah, maka jalanmasuk lain tak ada pengaruhnya, baris kedua mengemukakan bahwa jalankeluar mempertahankan taraf yang diperolehnya sebelum terjadinya kombinasi status siap dan juga sebelum kedua jalanmasuk berubah ke ragam rendah.

Peristilahan TTL dan definisinya

Pengantar

Lambang-lambang, istilah, dan definisi-definisi berikut adalah bersesuaian dengan hasil persetujuuan dewan JEDEC dari *Electronic Industries Association* (EIA) untuk dipakai di Amerika Serikat, dan *International Electrotechnical Commission* (IEC) untuk dipakai antarbangsa.

Kondisi operasi dan karakteristik (termasuk lambang huruf)

Clock frequency — Frekuensi lonceng

Maximum clock frequency, f_{max} — frekuensi-lonceng maksimum

Laju tertinggi yang dapat dikenakan kepada jalanmasuk lonceng sebuah rangkaian dwimantap dalam sekuensi yang dipersyaratkan, sambil memelihara transisi yang mantap taraf logika di jalankeluar dengan kondisi masukan yang telah mapan yang akan menyebabkan perubahan-perubahan taraf logika keluaran bersesuaian dengan pertelaannya.

Current — arus

High level input current, I_{IH} — arus masukan taraf tinggi

Arus yang masuk* ke jalanmasuk bila ada tegangan taraf-tinggi dikenakan pada jalanmasuk itu.

High-level output current, I_{OH} — arus keluaran taraf tinggi

Arus yang masuk* ke jalankeluar dengan kondisi-kondisi masukan yang dikenakan yang (sesuai dengan spesifikasi produksi) akan mengadakan taraf tinggi di jalankeluar.

Low-level input current, I_{IL} — arus masukan taraf rendah

Arus yang masuk* ke jalanmasuk bila ada tegangan taraf rendah dikenakan pada jalanmasuk itu.

Low-level output current, I_{OL} — arus keluaran taraf rendah

Arus yang masuk* ke jalankeluar dengan kondisi-kondisi masukan yang dikenakan yang (sesuai dengan spesifikasi produksi) akan mengadakan taraf rendah di jalankeluar.

Supply current, I_{CC} — arus catu

Arus yang masuk* ke terminal-terminal catuan V_{CC} sebuah rangkaian terintegrasi.

* Arus yang keluar dari suatu terminal dinyatakan berharga negatif.

Voltage — tegangan

High-level input voltage, V_{IH} — tegangan masukan taraf tinggi

Suatu tegangan masukan yang paling positif (kurang negatif) di dalam kedua jangkah harga-harga yang dipakai untuk melambangkan variabel-variabel biner.

CATATAN:

Ditentukan sesuatu minimum yang merupakan harga positif paling kecil dalam tegangan masukan taraf tinggi; pada harga itu terjaminlah bahwa unsur logika bekerja dengan benar, dalam batas-batas spesifikasinya.

High-level output voltage, V_{OH} — tegangan keluaran taraf tinggi

Tegangan pada sebuah terminal jalankeluar, dengan kondisi-kondisi masukan yang dikenakan (bersesuaian dengan spesifikasi produksi) akan menghasilkan keluaran taraf tinggi di jalankeluar.

Input clamp voltage, V_{IK} — tegangan kempa masukan

Suatu tegangan masukan dalam daerah yang memiliki resistansi diferensial relatif rendah yang berguna untuk membatasi ayunan tegangan masukan.

Low-level input voltage, V_{IL} — tegangan masukan taraf rendah
Suatu taraf tegangan masukan dalam kedua jangkah harga-harga, dalam bagian yang kurang positif (lebih negatif) guna menyatakan variabel-variabel biner.
CATATAN:
Ditentukanlah sesuatu maksimum yang merupakan harga paling positif pada tegangan masukan taraf rendah di mana terjamin bahwa unsur logika bekerja dengan benar di dalam batas-batas spesifikasinya.

Low-level output voltage, V_{OL} — tegangan keluaran taraf rendah
Tegangan di terminal jalankeluar dengan dikenakan kondisi masukan yang (bersesuaian dengan spesifikasi produksi) akan menghasilkan suatu taraf rendah di jalankeluar.

Negative-going threshold voltage, V_{T-} — tegangan ambang menuju-negatif
Taraf tegangan di jalanmasuk dioperasikan-transisi, yang membikin beroperasinya unsur logika bersesuaian dengan spesifikasi, kalau tegangan masukan jatuh dari taraf di atas-tegangan ambang menuju-positif, V_{T+}.

Positive-going threshold voltage, V_{T+} — tegangan ambang menuju-positif, V_{T+}
Taraf tegangan di jalanmasuk dioperasikan-transisi, yang membikin beroperasinya unsur logika bersesuaian dengan spesifikasi bila tegangan masukan naik dari taraf di bawahnya tegangan ambang menuju-ke-negatif, V_{T-}.

Hold time — waktu genggam

Hold time, t_h — waktu genggam
Luang waktu selama isyarat tersimpan dalam jalanmasuk tertentu sesudah terjadi transisi aktif di terminal masukan tertentu yang lain.
CATATAN:
1. Waktu genggam adalah waktu sebenarnya antara dua kejadian dan mungkin tidak cukup untuk menghasilkan hasil yang diinginkan. Ditentukan suatu waktu minimum yang merupakan luang terpendek, dimana terjamin bahwa unsur logika beroperasi dengan benar.
2. Waktu genggam mungkin berharga negatif; dalam hal ini batas minimum menentukan luang terpanjang (antara pembebasan data dan transisi aktif) yang menjamin beroperasinya unsur logika dengan benar.

Propagation time — waktu rambat

Propagation delay time, low-to-high-level output, t_{PLH} — waktu tunda rambatan, keluaran taraf rendah-ke-tinggi
Waktu pada bentuk gelombang tegangan masukan dan keluaran, antara titik-titik acuan yang ditentukan, sementara keluaran sedang berubah dari taraf rendah tertentu ke taraf tinggi tertentu.

Propagation delay time, high-to-low output, t_{PHL} — Waktu tunda rambatan, keluaran tinggi ke rendah.
Waktu pada bentuk gelombang tegangan masukan dan keluaran, antara titik-titik acuan yang ditentukan, sementara keluaran sedang berubah dari taraf tinggi ke taraf rendah tertentu.

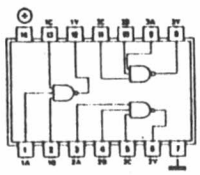
Pulse Width — Lebar denyut
Pulse width, t_w — lebar denyut
Luang waktu pada bentuk gelombang denyut, di antara titik-titik acuan tertentu di tepian depan dan tepian belakang.

Setup Time — waktu tatasiap

Setup time, t_{su} — waktu tatasiap
Luang waktu antara dikenakannya isyarat yang dipertahankan pada terminal jalanmasuk tertentu, dan transisi aktif yang diakibatkannya di terminal jalanmasuk tertentu lainnya.
CATATAN:
1. Waktu tatasiap adalah waktu sebenarnya antara dua kejadian dan mungkin kurang cukup untuk menghasilkan tatasiap yang diinginkan. Suatu harga minimum perlu ditentukan yang merupakan waktu terpendek dimana terjamin pengoperasian unsur logika secara benar.
2. Waktu tatasiap mungkin berharga negatif; dalam hal ini limit minimum menentukan luang terpanjang (antara transisi aktif dan dikenainya isyarat yang lain) guna menjamin unsur logika beroperasi dengan benar.

10 Gerbang NAND 3-jalanmasuk bertiga
12 Dengan jalankeluar kolektor terbuka

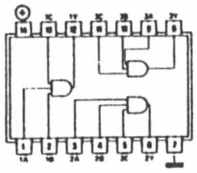
$Y = \overline{A \cdot B \cdot C}$



	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
10	6	11	7
LS 10	1,2	9	10
12	6	35	8
LS 12	1,2	17	15

11 Gerbang AND 3-status bertiga
15 Dengan jalankeluar kolektor terbuka

$Y = A \cdot B \cdot C$

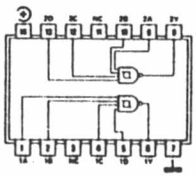


12: lihat 10

	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
LS 11	2,6	8	10
LS 15	2,6	20	17

13 Penyulut Schmitt NAND 4-jalanmasuk berdua

$Y = \overline{A \cdot B \cdot C \cdot D}$

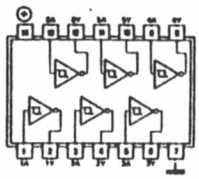


	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
13	17	18	15
LS 13	3,5	15	18

	positive V_{T+} going tresh. voltage (V)	negative V_{T-} going tresh. voltage (V)
13	1,7	0,9
LS 13	1,6	0,8

14 Penjungkir penyulut Schmitt berenam

$Y = \overline{A}$



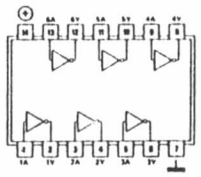
	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
14	31	15	15
LS 14	10,3	15	15

	positive V_{T+} going tresh voltage (V)	negative V_{T-} going tresh voltage (V)
14	1,7	0,9
LS 14	1,6	0,8

15: lihat 11
16: lihat 04
17: lihat 07

04 Penjungkir berenam
05 Dengan jalankeluar kolektor terbuka
06 Dengan jalankeluar kolektor terbuka (30 V)
fan-out = 2,5 × *fan-out* standar
16 Dengan jalankeluar kolektor terbuka (15 V)
fan-out = 2,5 × *fan-out* standar

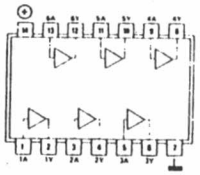
$Y = \overline{A}$



	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
04	12	12	8
LS 04	2,4	9	10
05	12	40	8
LS 05	2,4	17	15
06	31	10	15
16	31	10	15

07 Penggerak/penyangga dengan jalankeluar kolektor terbuka (30 V)
fan-out =2,5× *fan-out* standar
17 Dengan jalankeluar kolektor terbuka (15 V)
fan-out = 2,5 × *fan-out* terbuka

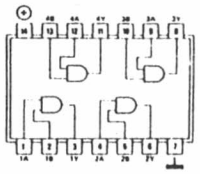
$Y = A$



	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
07	25	6	20
17	25	6	20

08 Gerbang AND 2-jalanmasuk berempat
09 Dengan jalankeluar kolektor terbuka

$Y = A \cdot B$



	supply curr. (mA)	t_{PLH} (ns)	t_{PHL} (ns)
08	15	17,5	12
LS 08	3,4	8	10
09	15	21	16
LS 09	3,4	20	17

54/74(LS)93 ... 95

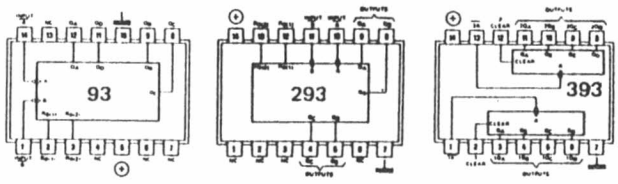
Penjelasan

Tiap pencacah taksinkron monolit ini terdiri atas empat gulang-guling induk-hamba dan penggerbangan tambahan guna menyediakan pencacah bagi-dua dan pencacah biner tiga-tingkat yang panjang daur cacahnya adalah bagi-delapan untuk '93A, dan 'L93.

Untuk menggunakan panjang cacahnya yang maksimum (dekada, bagi-duabelas, atau biner empat-bit) pada pencacah-pencacah ini, maka jalanmasuk B dihubungkan kepada jalankeluar Q_A. Denyut-denyut cacah masukan dikenakan kepada jalanmasuk A, dan keluarannya adalah seperti yang dijelaskan dalam tabel fungsi yang bersangkutan.

Jalanmasuk A dan B disulut lonceng masukan pada transisi tinggi-ke-rendah. Jalanmasuk B memiliki isi masukan *(input load)* dua.

93 Pencacah biner 4-bit
293 Pencacah biner 4-bit
393 Pencacah biner 4-bit berdua masing-masing dengan lonceng



Urutan cacahan (lihat Catatan)

Count	Output Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

93.293 Tabel fungsi *Reset*/cacah

RESET INPUTS $R_{0(1)}$	$R_{0(2)}$	OUTPUT Q_D	Q_C	Q_B	Q_A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			
393 CLEAR		OUTPUT			
H		L	L	L	L
L		COUNT			

	supply curr. (mA)	f_{max} (MHz) A	B
93A	26	32	16
LS 93	9	32	16
293	26	32	16
LS 293	9	32	16
393	38	25	
LS 393	15	25	

Jalankeluar Q_A dikoneksikan kepada jalanmasuk B

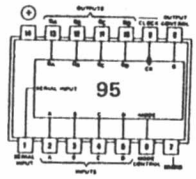
Penjelasan

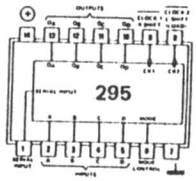
Register-register 4-bit ini memiliki jalanmasuk-jalanmasuk jajar dan deret, jalankeluar jajar, pengemudian ragam *(mode control)*, dan dua jalanmasuk lonceng. Register-register memiliki tiga ragam pengoperasian:

Pemasukan jajar (menyamping, *broadside load*)
Geser ke kanan (arah Q_A ke Q_D)
Geser ke kiri (arah Q_D ke Q_A)

Pemasukan jajar diselenggarakan dengan mengenakan data empat bit dan menaruh jalanmasuk kemu-

95 Register geser tergapai-jajar 4-bit
295 Register geser-kanan geser-kiri 4-bit dengan keluaran-keluaran 3-status





	supply curr. (mA)	f_{clock} max (MHz)
95A	39	25
LS 95B	13	25
LS 295B	22	30